

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年7月21日 (21.07.2005)

PCT

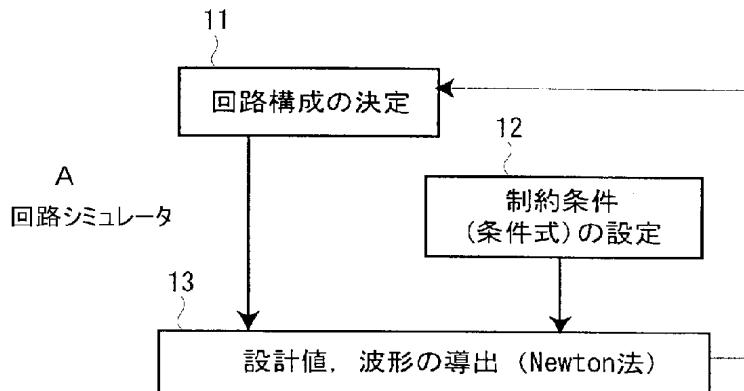
(10) 国際公開番号  
WO 2005/066853 A1

- (51) 国際特許分類<sup>7</sup>: G06F 17/50
- (21) 国際出願番号: PCT/JP2005/000097
- (22) 国際出願日: 2005年1月7日 (07.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-003612 2004年1月9日 (09.01.2004) JP
- (71) 出願人(米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者; よび
- (75) 発明者/出願人(米国についてのみ): 関屋 大雄 (SEKIYA, Hiroo) [JP/JP]; 〒1300021 東京都墨田区緑2-13-7 アーバンハイツ両国1010 Tokyo (JP).
- 丹治 裕一 (TANJI, Yuichi) [JP/JP]; 〒7618074 香川県高松市太田上町723-1-101 Kagawa (JP). 谷萩 隆嗣 (YAHAGI, Takashi) [JP/JP]; 〒1130022 東京都文京区千駄木5-19-10 Tokyo (JP). 呂 建明 (LU, Jianming) [CN/JP]; 〒2630021 千葉県千葉市稻毛区轟町4-6-23-301 Chiba (JP).
- (74) 代理人: 柏原 三枝子 (KASHIWABARA, Mieko); 〒1070052 東京都港区赤坂7-2-17 赤坂中央マンション410号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: CIRCUIT DESIGN SUPPORT METHOD, DEVICE THEREOF, AND CIRCUIT DESIGN SUPPORT PROGRAM

(54) 発明の名称: 回路設計支援方法及びその装置並びに回路設計支援プログラム



A CIRCUIT SIMULATOR

11 CIRCUIT CONFIGURATION DECISION

12 CONSTRAINT CONDITION (CONDITION EQUATION) SETTING

13 DESIGN VALUE AND WAVEFORM CALCULATION (NEWTON METHOD)

(57) Abstract: [PROBLEMS] To enable automatic calculation of a circuit element value and a waveform by a computer. [MEANS FOR SOLVING PROBLEMS] In a circuit design support for calculating a circuit element value of an analog electronic circuit to be designed, by causing a computer to execute a program having a description of a repetition calculation equation of the Newton method including the Jacobi matrix, a program of the aforementioned calculation equation in which a partial differentiation as an element in the Jacobi matrix is replaced by an approximation equation is used. Furthermore, the element to be subjected to the partial differentiation in the Jacobi matrix is obtained from the waveform observed in response to the circuit configuration of the analog electronic circuit.

/ 続葉有 /

WO 2005/066853 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GII, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 國際調査報告書

---

(57) 要約: 【課題】 回路素子値や波形の導出を自動的に計算機で行うことができる様にする。【解決手段】 設計対象のアナログ電子回路の回路素子値を、ヤコビ行列を含むニュートン法の繰り返し計算式が記述されたプログラムを計算機に実行させ算出する回路設計支援において、前記ヤコビ行列中の要素である偏微分を近似式で置き換えた前記計算式のプログラムを用いる。更に、ヤコビ行列中の前記偏微分の対象となる要素を、前記アナログ電子回路の回路構成の応答として観測される波形から求める。

## 明 細 書

### 回路設計支援方法及びその装置並びに回路設計支援プログラム 技術分野

[0001] 本発明は回路設計支援方法及びその装置並びに回路設計支援プログラムに係り、特に、微分方程式でなる回路方程式を与えることなく回路設計を設計者と計算機との間で対話的に自動で行うことが可能な回路設計支援方法及びその装置並びに回路設計支援プログラムに関する。

### 背景技術

[0002] 近年の情報化社会の発展には著しいものがあり、その中で、計算機のCPUはGHzの動作(クロック)周波数が求められ、無線通信においてはGHz帯の周波数の使用が始まるなど、電子回路の高周波数化が顕著になってきている。これに伴い、CPUなどに電力を供給するための電源回路や無線通信における増幅器等のアナログ回路の開発が極めて重要になってきている。

[0003] 高周波数化の進んだ電子回路に接続される電源回路や増幅器等のアナログ回路の設計は、

- (1)回路構成の決定
  - (2)回路素子値の決定
  - (3)回路動作の評価
- の3段階に分類される。

[0004] これらの設計を計算機上で支援するツールとして「SPICE」などの回路シミュレータが開発されており、これは、上記の(3)に対しての強力な支援ツールとして広く用いられている。しかし、回路動作をシミュレートするためには、回路素子値を与える必要があり、所望の動作を実現するための素子値を導出する上記(2)の作業を欠かすことできない。

[0005] アナログ回路の開発者は、回路の素子値を決定するために、初めに手計算で回路解析を行い、その解析結果を用いて回路の素子値を決定している。回路解析には近似を多く含むため、導出した素子値は誤差を含む。従って、導出した素子値をシミュ

レータに入力し、その結果から、回路の素子値を経験的に調整するという上記(2)と(3)の繰り返し作業を行うことになる。また、素子値の調整は設計者の経験がものをいう分野であるため、設計者の教育も必要となる。

- [0006] 一方、シミュレータを用いてモンテカルロ法で素子値を求めたとしても、満足すべき条件数の増加に伴い、計算時間が指数関数的に増加してしまうという問題もある。つまり、上記(1)と(3)の間の接続作業である上記(2)にあたる作業が、回路開発の時間的ボトルネックとなっている。そのため、経験が浅い設計者でも、回路設計を容易かつ高速に行える設計支援ツールが強く求められている。
- [0007] そこで、本発明者等は、先に、下記非特許文献1に記載の様に、計算機上で数値的に素子値を導出する素子値算出方法を提案した。以下、この従来の素子値算出方法を説明する。
- [0008] 例えば、次の数1に示される微分方程式で記述される回路について考える。
- [0009] [数1]

$$\frac{dx}{dt} = f(t, x, \lambda),$$

- [0010] ここで、 $t \in R$ ,  $x \in R^n$ 、及び、 $\lambda \in R^m$ は、夫々、時間、n次元状態空間、m次元のシステムパラメータを示す。簡単のため、
- [0011] [数2]

$$f : R \times R^n \times R^m \rightarrow R^n(t, x, \lambda) \hookrightarrow f(t, x, \lambda)$$

- [0012] は $C^\infty$ 級写像であり、時間領域において周期 $t_T$ の周期性を持つと仮定する。つまり、
- [0013] [数3]

$$f(t + t_T, x, \lambda) = f(t, x, \lambda).$$

- [0014] と表される。更に、上記の数1は、 $-\infty < t < \infty$ において、任意の初期値 $x_0 \in R^n$ およびあらゆるシステムパラメータ $\lambda \in R^m$ : $x(0) = \phi(0, x_0, \lambda) = x_0$ に対し、 $x(t) = \phi($

$t, x_0, \lambda$ )という解を持つとする。

[0015] 上記の数3で述べた周期性の仮定により、状態空間 $R^n$ からそれ自身に戻る $C^\infty$ 級離散写像 $T$ :

[0016] [数4]

$$T : R^n \rightarrow R^n \quad x_0 \mapsto T(x_0, \lambda) = \phi(t_T, x_0, \lambda)$$

[0017] を定義することができる。この写像 $T$ は、ポアンカレ写像と呼ばれる。

[0018] 数1の微分方程式の解 $x(t) = \phi(t, p_0, \lambda)$ が周期 $t_T$ の周期性を有していた場合、

[0019] [数5]

$$T(p_0, \lambda) = p_0.$$

[0020] を満たす点 $p_0 \in R^n$ は写像 $T$ に対する不動点という。

[0021] 電子回路を設計するには、拘束条件を考えることが多い。もし、条件の数を $N$ ( $\leq m$ )とすると、時刻 $t = t_{ck}$ における夫々の条件を $g_k$ と表すことにより、

[0022] [数6]

$$G(x_0, \lambda) = \begin{bmatrix} g_1(t_{c1}, x_0, \lambda) \\ g_2(t_{c2}, x_0, \lambda) \\ \vdots \\ g_N(t_{cN}, x_0, \lambda) \end{bmatrix} = 0, \quad \in R^N,$$

[0023] と表すことができる。この場合、設計パラメータとして $N$ 個のパラメータを用意することができます。従って、その他の $(m-N)$ 個のパラメータは、設計仕様として与えなくてはならない。

[0024] 以上より、電子回路の設計は、代数方程式である上記の数5、数6の解法に帰着する。これらの代数方程式(数5、数6)を改めて

[0025] [数7]

$$F(\mathbf{x}_0, \boldsymbol{\lambda}) = \begin{bmatrix} T(\mathbf{x}_0, \boldsymbol{\lambda}) - \mathbf{x}_0 \\ G(\mathbf{x}_0, \boldsymbol{\lambda}) \end{bmatrix} = \mathbf{0}, \quad \in \mathbf{R}^{n+N}$$

[0026] と書き直す。ここで、 $T(\mathbf{x}_0, \boldsymbol{\lambda})$ ,  $\mathbf{x}_0$ ,  $\boldsymbol{\lambda}$ は、夫々、 $T(\mathbf{x}_0, \boldsymbol{\lambda}) = [T_1(\mathbf{x}_0, \boldsymbol{\lambda}), T_2(\mathbf{x}_0, \boldsymbol{\lambda}), \dots, T_n(\mathbf{x}_0, \boldsymbol{\lambda})]^T$ ,  $\mathbf{x}_0 = \mathbf{x}(0) = [\mathbf{x}_1(0), \mathbf{x}_2(0), \dots, \mathbf{x}_n(0)]^T$ ,  $\boldsymbol{\lambda} = [\lambda_1, \lambda_2, \dots, \lambda_m]^T$ と表すことができる。更に、 $\boldsymbol{\lambda} \in \mathbf{R}^N$ を

[0027] [数8]

$$\boldsymbol{\lambda}_u = \{\lambda_{u1}, \lambda_{u2}, \dots, \lambda_{uN} \mid \lambda_{uk} \ (k = 1, 2, \dots, N)$$

are unknown design parameters in  $\boldsymbol{\lambda}\}$

[0028] と定義する。

[0029] 設計方程式(数7)を解くには、代数方程式を解くための最も一般的アルゴリズムであるニュートン法を用いる。数7中の未知数を  $\mathbf{u} \in \mathbf{R}^{n+N}$ :  $\mathbf{u} = [\mathbf{x}_0^T, \boldsymbol{\lambda}_u^T]^T$  と表すと、繰り返し計算

[0030] [数9]

$$\mathbf{u}^{k+1} = \mathbf{u}^k - \frac{F(\mathbf{u}^k)}{F'(\mathbf{u}^k)}$$

[0031] を終了条件  $\|\mathbf{u}^{k+1} - \mathbf{u}^k\| < \delta$  を満足するまで行う。ここで、 $F' \in \mathbf{R}^{(n+N) \times (n+N)}$  は  $F$  のヤコビ行列つまり、

[0032] [数10]

$$\begin{aligned}
& F'(\mathbf{u}^k) \\
&= \begin{bmatrix}
\frac{\partial T_1(\mathbf{u}^k)}{\partial x_1(0)} - 1 & \frac{\partial T_1}{\partial x_2(0)} & \cdots & \frac{\partial T_1}{\partial x_n(0)} & \frac{\partial T_1}{\partial \lambda_{u1}} & \cdots & \frac{\partial T_1}{\partial \lambda_{uN}} \\
\frac{\partial T_2(\mathbf{u}^k)}{\partial x_1(0)} & \frac{\partial T_2}{\partial x_2(0)} - 1 & \cdots & \frac{\partial T_2}{\partial x_n(0)} & \frac{\partial T_2}{\partial \lambda_{u1}} & \cdots & \frac{\partial T_2}{\partial \lambda_{uN}} \\
\vdots & & & & & & \\
\frac{\partial T_n(\mathbf{u}^k)}{\partial x_1(0)} & \frac{\partial T_n}{\partial x_2(0)} & \cdots & \frac{\partial T_n}{\partial x_n(0)} - 1 & \frac{\partial T_n}{\partial \lambda_{u1}} & \cdots & \frac{\partial T_n}{\partial \lambda_{uN}} \\
\frac{\partial g_1(t_{c1}, \mathbf{u}^k)}{\partial x_1(0)} & \frac{\partial g_1}{\partial x_2(0)} & \cdots & \frac{\partial g_1}{\partial x_n(0)} & \frac{\partial g_1}{\partial \lambda_{u1}} & \cdots & \frac{\partial g_1}{\partial \lambda_{uN}} \\
\vdots & & & & & & \\
\frac{\partial g_N(t_{cN}, \mathbf{u}^k)}{\partial x_1(0)} & \frac{\partial g_N}{\partial x_2(0)} & \cdots & \frac{\partial g_N}{\partial x_n(0)} & \frac{\partial g_N}{\partial \lambda_{u1}} & \cdots & \frac{\partial g_N}{\partial \lambda_{uN}}
\end{bmatrix}
\end{aligned}$$

[0033] を表す。更に、kは繰り返しの回数であり、 $\delta \ll 1$ である。ここでは、 $\delta = 10^{-9}$ とする。

このとき、 $\mathbf{u}^{k+1}$ が数7の解となる。

[0034] 数9を計算するためには数10中のT( $\mathbf{u}^k$ )を求める必要があるが、このT( $\mathbf{u}^k$ )は、数1にルンゲクッタ法を適用することで求めることができる。更に、数10のヤコビ行列F'( $\mathbf{u}^k$ )の要素は、一次変分方程式

[0035] [数11]

$$\begin{aligned}
\frac{d}{dt} \frac{\partial \phi}{\partial \mathbf{x}_0} &= \frac{df}{dx} \frac{\partial \phi}{\partial \mathbf{x}_0}, \quad \text{with } \left. \frac{\partial \phi}{\partial \mathbf{x}_0} \right|_{t=0} = \mathbf{I} \\
\frac{d}{dt} \frac{\partial \phi}{\partial \boldsymbol{\lambda}} &= \frac{df}{dx} \frac{\partial \phi}{\partial \boldsymbol{\lambda}} + \frac{\partial f}{\partial \boldsymbol{\lambda}}, \quad \text{with } \left. \frac{\partial \phi}{\partial \boldsymbol{\lambda}} \right|_{t=0} = \mathbf{0}
\end{aligned}$$

[0036] を解くことにより導出する。数11は、 $\partial \phi(t, \mathbf{u}^k) / \partial \mathbf{x}_0$ ,  $\partial \phi(t, \mathbf{u}^k) / \partial \boldsymbol{\lambda}$ の微分方程式と見なせる。つまり、数11を0から $t_T$ または $t_{ck}$ までルンゲクッタ法を用いて解けば、 $\partial \phi(t_T, \mathbf{u}^k) / \partial \mathbf{x}_0$ ,  $\partial \phi(t_{ck}, \mathbf{u}^k) / \partial \mathbf{x}_0$ ,  $\partial \phi(t_T, \mathbf{u}^k) / \partial \boldsymbol{\lambda}$ ,  $\partial \phi(t_{ck}, \mathbf{u}^k) / \partial \boldsymbol{\lambda}$ を導出することができる。 $T_k$ は $\phi$ の関数であり、 $g_k$ は一般的に $\phi$ の関数として表すことができるため、これらの値から、ヤコビ行列の要素である $T_k(\mathbf{u}^k) / \partial \mathbf{x}_0$ ,  $T_k(\mathbf{u}^k) / \partial \boldsymbol{\lambda}$ ,  $g_k(t_{ck}, \mathbf{u}^k) / \partial \mathbf{x}_0$ ,  $g_k(t_{ck}, \mathbf{u}^k) / \partial \boldsymbol{\lambda}$ を数値的に導出することができる。

[0037] 従来は、以上の計算により、未知係数 $u$ を求め、その結果、電子回路の設計値である $\lambda_u$ を決定していた。

[0038] 図2は、上述した従来の計算手順を用いて回路設計を行う処理手順を示すフローチャートである。先ず、電子回路の構成を決定する回路構成決定ステップ1と、決定された回路構成から回路設計者が手作業で回路方程式(数1)を決定する回路方程式構築ステップ2と、この回路方程式から変分方程式(数11)を回路設計者が手作業で導出する変分方程式導出ステップ3と、制約条件(数7)を導出する制約条件導出ステップ4と、回路方程式(数1)と変分方程式(数11)を用いて条件式(数7)を解くことによって回路素子値と波形とを導出するステップ5とからなり、ステップ5で満足のいく解が得られないときはステップ1に戻る。

[0039] 井特許文献1:IEEE TRANSACTION ON CIRCUITS AND SYSTEM-1:  
FUNDAMENTAL THEORY AND APPLICATIONS.VOL.49.NO.7, JULY 2002  
発明の開示

#### 発明が解決しようとする課題

[0040] 上述した様に、従来の方法は、回路構成を考えた後、回路方程式を陽な形で与え、この回路方程式を解くことによって、電圧、電流波形 $x(t) = \phi(t, x_0, \lambda)$ を導出する構成になっている。しかも、この回路方程式は、計算機を用いて自動的に導出するのが難しいため、手計算に頼らざるを得ないという問題がある。更に、回路構成や回路素子の特性を変更するたびに回路方程式を作り直す必要があり、その手間は非常に大きい。つまり、従来の方法は、回路構成から回路方程式を導出し、変分方程式を導出する一連の作業が自動設計への障害になっている。

[0041] 本発明の目的は、回路素子値や波形の導出を自動的に計算機で行うことができる回路設計支援方法及びその装置並びに回路設計支援プログラムを提供することにある。

#### 課題を解決するための手段

[0042] 本発明の回路設計支援方法及びその装置並びにプログラムは、設計対象のアナログ電子回路の回路素子値を、ヤコビ行列を含むニュートン法の繰り返し計算式が記述されたプログラムを計算機に実行させ算出する回路設計支援において、前記ヤコ

ビ行列中の要素である偏微分を近似式で置き換えた前記計算式のプログラムを用いると共に、前記ヤコビ行列中の前記偏微分の対象となる要素を、前記アナログ電子回路の回路構成の応答として観測される波形から求めることを特徴とする。

本発明は更に、前記アナログ電子回路の定常状態を前記回路素子値の算出と同時に求めることを特徴とする。

本発明は更に、前記アナログ電子回路の拘束条件として統計的データを与えることを特徴とする。

[0043] この構成により、アナログ電子回路の回路方程式を微分方程式で記述する必要がなくなる。また、アナログ電子回路の微分方程式にルンゲクッタ法を適用して上記偏微分の対象となる要素を算出する必要がなくなる。

### 発明の効果

[0044] 本発明によれば、ヤコビ行列の偏微分の要素を、一次変分方程式から求める必要がなくなり、また、回路方程式を陽の形で記述する必要もなくなるため、設計者の手計算が不要となる。更に、アナログ電子回路の拘束条件として、統計的データを与えることができるので、より幅広い設計要求に応えることができ、また、拘束条件の設定も容易となる。

### 発明を実施するための最良の形態

[0045] 以下、本発明の一実施形態について、図1及び従来法で用いた数式を参照して説明する。

[0046] 図1は、本発明の一実施形態に係る回路設計支援方法の処理手順を示すフローチャートである。この回路設計支援方法では、回路構成を決定するステップ11と、条件式(数7)を設定するステップ12と、ステップ11で決定した回路構成を回路設計支援装置(以下、回路シミュレータという。)に入力して後述の様に波形を導出すると共に、回路シミュレータに入力された条件式を解くことによって回路素子値(設計値)を導出するステップ13とからなる。このステップ13では、同時に数1を解いているため、条件を満足したときの波形式、即ち、アナログ電子回路の定常状態も導出される。

[0047] 次に、本実施形態に係る回路素子値設計支援方法を従来の方法と比較して説明する。

- [0048] 本実施形態では、従来の数1の微分方程式を陽の形で設定することはしない。つまり、変数 $x$ に関する或る確定系(微分方程式で書ける系)において、 $-\infty < t < \infty$ で、任意の初期値 $x_0 \in R^n$ およびあらゆるシステムパラメータ $\lambda \in R^m : x(0) = \phi(0, x_0, \lambda) = x_0$ に対し、 $x(t) = \phi(t, x_0, \lambda)$ という解(出力波形)を観察できるとし、このとき、 $x(t)$ は、時間領域において周期 $t_T$ の周期性を持つと仮定する。
- [0049] この仮定の下でも、従来と同様の考察を辿ることにより、電子回路の設計は上述した数5、数6の解法に帰着し、これらを書き直して数7が得られ、また、数8が定義される。このとき、本実施形態では、数6は時間 $t_{c1} \sim t_{cn}$ の関数である必要はなく、 $x_0$ と $\lambda$ の関数となる。従って、従来は回路方程式から導出される時間応答 $\phi$ の或る時間 $t_c$ における条件しかアナログ電子回路の拘束条件に入れることができなかつたのに対し、本実施形態では、回路シミュレータ上で観測される波形およびそこから算出される観測値の最大値、最小値、平均値などの統計的データを拘束条件として用いることが可能となる。例えば、回路方程式から導出される時間応答 $\phi$ の統計量、 $\phi$ のフーリエ領域など時間領域以外での観測値やその統計量を拘束条件とすることができる。
- [0050] 数7の解法として、本実施形態でも、ニュートン法を採用し、繰り返し計算式である数9を終了条件が満足されるまで行う。このとき、ヤコビ行列(数10)を用いることも従来と同様であり、 $u^{k+1}$ が数7の解となる。
- [0051] ここで、本実施形態では、数9を計算するための $T(u^k)$ を、観測される $x(t) = \phi(t, x_0, \lambda)$ から導出する。一方、数10のヤコビ行列 $F'(u^k)$ の要素は、従来方法と異なり、本実施形態では回路方程式(数1)を陽の形で記述していないため、数11の変分方程式を用いて解くことができない。
- [0052] そこで、本実施形態では、変分方程式の代わりに、ヤコビ行列の要素である偏微分を、定義に基づいた近似式で置き換える。即ち、
- [0053] [数12]

$$u_{\varepsilon i} = [u_1, u_2, \dots, u_i + \varepsilon, \dots, u_{n+N}]$$

- [0054] と定義したとき、ヤコビ行列の要素となる偏微分値を、次の数13の近似式

[0055] [数13]

$$\frac{\partial g(\mathbf{u}^k)}{\partial u_i} = \frac{g(\mathbf{u}_{\varepsilon i}^k) - g(\mathbf{u}^k)}{\varepsilon}$$

[0056] を用いることで代用する。ここで、 $\varepsilon$  は微小係数である。 $g(\mathbf{u}_{\varepsilon i}^k)$  は  $g(\mathbf{u})$  を導出するものと同じ確定系(回路構成)上でそのパラメータを  $\mathbf{u}$  から  $\mathbf{u}_{\varepsilon i}^k$  に置き換えることによって導出することができる。

[0057] 以上の計算により、未知係数  $\mathbf{u}$  を求めることができ、その結果、設計値である  $\lambda_u$  が決定し、電子回路の設計が可能となる。

[0058] 以上述べた本実施形態によれば、出力波形のみから偏微分を導出するため、変分方程式が不要であり、また、回路方程式を陽の形でなく陰の形で持つため、手作業による回路設計工程が不要となり、全て計算機と対話的に回路設計作業を進めることが可能となる。

[0059] 更に、回路素子の種類が設計変更された場合でも、即ち、確定系が変化した場合でも、偏微分値を近似値で代用しているのでその都度所望の周期軌道を得るためにパラメータを導出でき、容易に対処可能となる。更にまた、本実施形態は、従来の図2の構成と比較して、回路方程式の構築(ステップ2)と変分方程式の導出(ステップ3)とを削除し、代わりに、偏微分値を近似式で代用する構成のため、シミュレータの内部を大幅に変更する必要が無い。よって、本実施形態の回路シミュレータは、「SPICE」など他の既存シミュレータの資産を有効に活用可能である。

### 産業上の利用可能性

[0060] 本発明は、電子回路を設計するとき回路方程式を計算機に与えることなく回路素子値を計算機が計算可能なため、完全自動で電子回路の設計が可能となる回路設計支援装置を構築することができ、アナログ電子回路やアナログデジタル混在回路、とくにスイッチング回路の設計に有用である。

### 図面の簡単な説明

[0061] [図1]本発明の一実施形態に係る回路設計支援方法の処理手順を示すフローチャートである。

[図2]従来の回路設計支援方法の処理手順を示すフローチャートである。

### 符号の説明

- [0062] 11 回路構成の決定ステップ
- 12 制約条件の設定ステップ
- 13 設計値、波形の導出ステップ

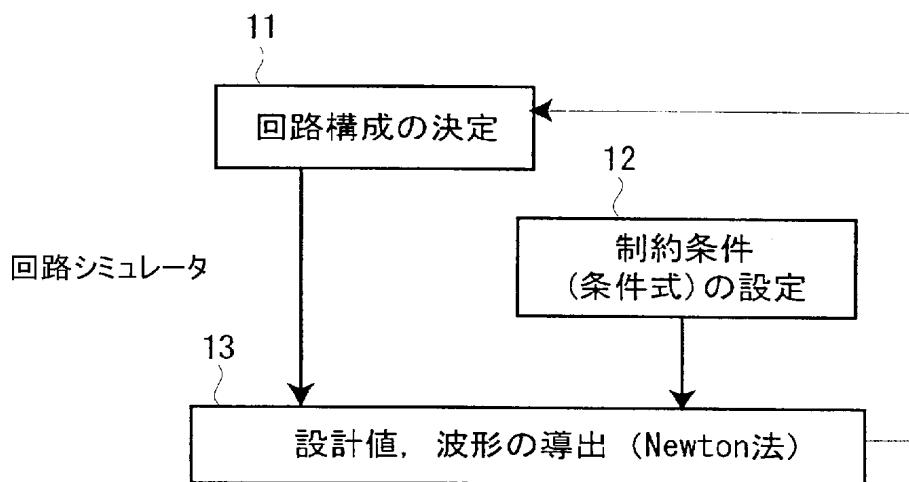
## 請求の範囲

- [1] 設計対象のアナログ電子回路の回路素子値を、ヤコビ行列を含むニュートン法の繰り返し計算式が記述されたプログラムを計算機に実行させ算出する回路設計支援方法において、前記ヤコビ行列中の要素である偏微分を近似式で置き換えた前記計算式のプログラムを用いると共に、前記ヤコビ行列中の前記偏微分の対象となる要素を、前記アナログ電子回路の回路構成の応答として観測される波形から求めることを特徴とする回路設計支援方法。
- [2] 前記アナログ電子回路の定常状態を前記回路素子値の算出と同時に求めることを特徴とする請求項1に記載の回路設計支援方法。
- [3] 前記アナログ電子回路の拘束条件として統計的データを与えることを特徴とする請求項1または請求項2に記載の回路設計支援方法。
- [4] 設計対象のアナログ電子回路の回路素子値を、ヤコビ行列を含むニュートン法の繰り返し計算式が記述されたプログラムを実行して算出する回路設計支援装置において、前記ヤコビ行列中の要素である偏微分を近似式で置き換えた前記計算式のプログラムを用いると共に、前記ヤコビ行列中の前記偏微分の対象となる要素を前記アナログ電子回路の回路構成の応答として観測される波形から求めることを特徴とする回路設計支援装置。
- [5] 前記アナログ電子回路の定常状態を前記回路素子値の算出と同時に求めることを特徴とする請求項4に記載の回路設計支援装置。
- [6] 前記アナログ電子回路の拘束条件として統計的データを与えることを特徴とする請求項4または請求項5に記載の回路設計支援装置。
- [7] ヤコビ行列を含むニュートン法の繰り返し計算式を計算機に計算させて設計対象のアナログ電子回路の回路素子値を算出する回路設計支援プログラムにおいて、前記ヤコビ行列中の要素である偏微分を近似式で置き換えた前記計算式を用いると共に、前記ヤコビ行列中の前記偏微分の対象となる要素を前記アナログ電子回路の回路構成の応答として観測される波形から求めることを特徴とする回路設計支援プログラム。
- [8] 前記アナログ電子回路の定常状態を前記回路素子値の算出と同時に求めることを

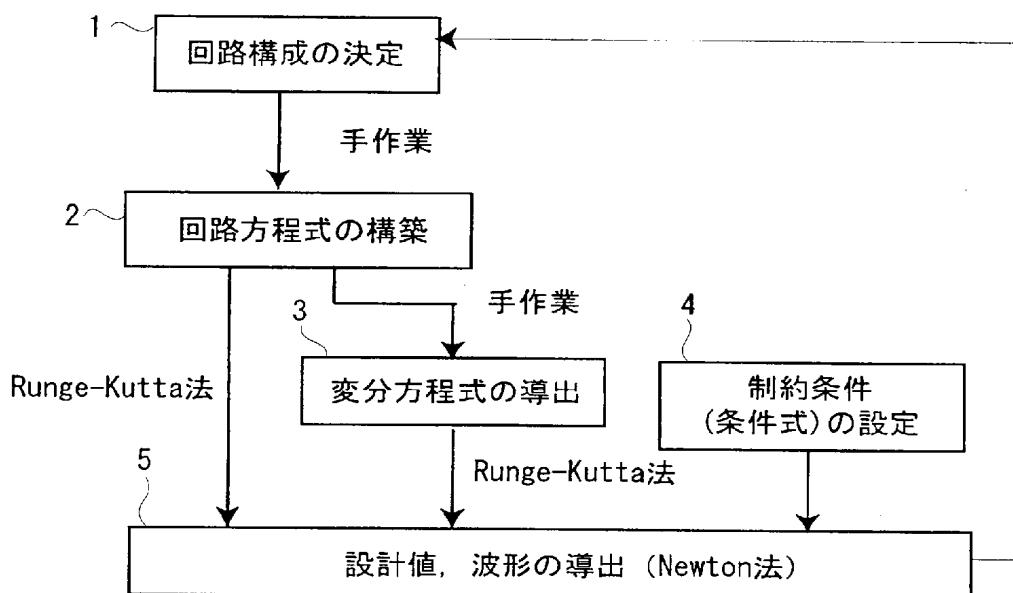
特徴とする請求項7に記載の回路設計支援プログラム。

- [9] 前記アナログ電子回路の拘束条件として統計的データを与えることを特徴とする請求項7または請求項8に記載の回路設計支援プログラム。

[図1]



[図2]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/000097

**A. CLASSIFICATION OF SUBJECT MATTER**  
**Int.Cl<sup>7</sup> G06F17/50**

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
**Int.Cl<sup>7</sup> G06F17/50**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
**IEEE, Xplore**

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Hiroo SEKIYA et al., Design of Generalized Class E <sup>2</sup> DC/DC Converter, Proceedings of the IEEE International Symposium on Circuits and Systems 2002, 26 May, 2002 (26.05.02), USA, IEEE, pages 823 to 826	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
**01 February, 2005 (01.02.05)**

Date of mailing of the international search report  
**22 February, 2005 (22.02.05)**

Name and mailing address of the ISA/  
**Japanese Patent Office**

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C17 G06F17/50

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C17 G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Hiroo SEKIYA et al., Design of Generalized Class E <sup>2</sup> DC/DC Converter, Proceedings of the IEEE International Symposium on Circuits and Systems 2002, 2002.05.26, USA, IEEE, p823-826	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.02.2005

国際調査報告の発送日

22.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 幸雄

5H

9191

電話番号 03-3581-1101 内線 3531